

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005年10月6日 (06.10.2005)

PCT

(10) 国際公開番号
WO 2005/093817 A1

(51) 国際特許分類7:

H01L 21/60

(72) 発明者; および

(21) 国際出願番号:

PCT/JP2005/000226

(75) 発明者/出願人(米国についてのみ): 大内 明
(OHUCHI, Akira) [JP/JP]; 〒1088001 東京都港区芝五
丁目7番1号 日本電気株式会社内 Tokyo (JP). 村上
朝夫 (MURAKAMI, Tomoo) [JP/JP]; 〒1088001 東京
都港区芝五丁目7番1号 日本電気株式会社内 Tokyo
(JP).

(22) 国際出願日:

2005年1月12日 (12.01.2005)

(25) 国際出願の言語:

日本語

(74) 代理人: 藤巻 正憲 (FUJIMAKI, Masanori); 〒1000011
東京都千代田区内幸町二丁目2番2号 富国生命ビル
5階 Tokyo (JP).

(26) 国際公開の言語:

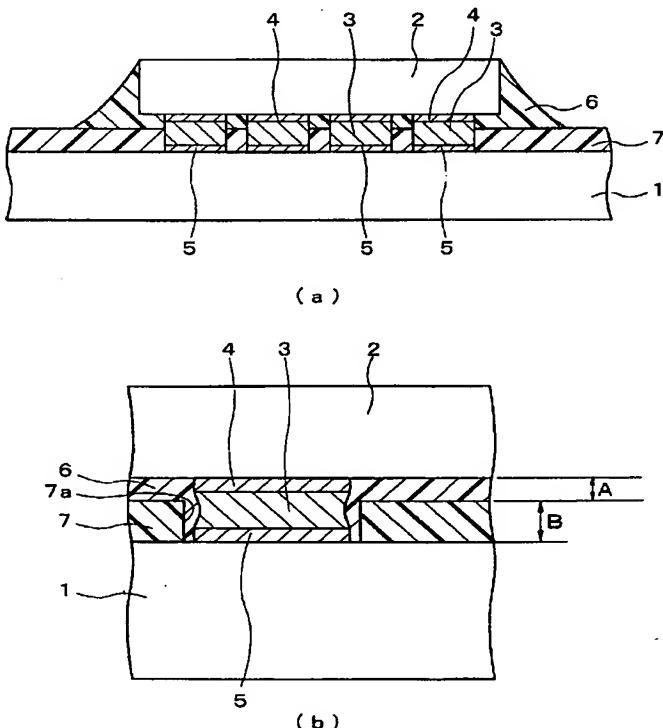
日本語

(81) 指定国(表示のない限り、全ての種類の国内保護が
可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,
BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU,

(続葉有)

(54) Title: SEMICONDUCTOR DEVICE AND PROCESS FOR MANUFACTURING THE SAME

(54) 発明の名称: 半導体装置及びその製造方法



(57) Abstract: A semiconductor device where the gap between a semiconductor element and a wiring board is resin sealed, and its manufacturing process in which highly reliable electrical connection is realized. An electrode pad (5) and a solder resist (7) are provided on the upper surface of a wiring board (1), an opening (7a) is formed in the solder resist (7) to expose the electrode pad (5), and an electrode (4) is provided on the lower surface of a semiconductor element (2). The electrode (4) is connected with the electrode pad (5) through a bump (3). Furthermore, an underfill resin (6) is provided at the portion of the space between the wiring board (1) and the semiconductor element (2) excluding the bump (3) and the solder resist (7). Between the wiring board (1) and the semiconductor element (2), thickness (B) of the solder resist (7) is set to be not smaller than the thickness (A) of the underfill resin (6) on the solder resist (7). Furthermore, volume (Vb) of the bump (3) is set to be smaller than the volume (Vs) of the opening (7a).

(続葉有)

WO 2005/093817 A1